

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-006491

(43)Date of publication of application : 13.01.1982

(51)Int.Cl.

G11C 11/34

G01R 31/26

G11C 29/00

(21)Application number : 55-081818

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.06.1980

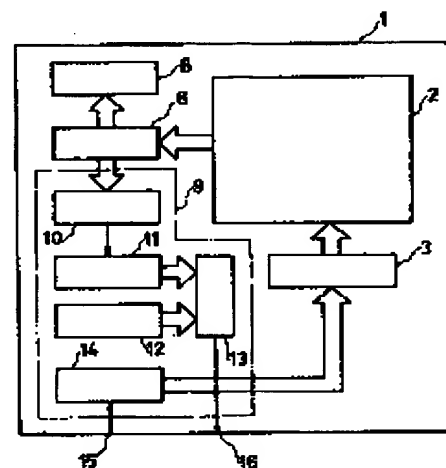
(72)Inventor : HAYASHI KAZUO
YAMADA KUNIHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To easily execute a code test, by providing a code test mechanism in the inside of an LSI containing a ROM in one chip.

CONSTITUTION: An ROM code test part 9 is provided in the inside of a semiconductor device (LSI) 1 containing an ROM2. The device becomes a test mode by a signal 15, and a test control part 4 increases an address designating part 3 in order from "0" address. All parallel outputs of one word by one for the ROM2 are converted to a series signal through a multiplexer 6 and a parallel-series converter 10, are inputted to a shift register 11, and are compressed to a data. Its output data is compared with a final processing data of a data register 12 by a coincidence detecting circuit 13, and a signal of a decision result is sent out to an output terminal 16. In this way, a code test of the ROM2 can be executed easily.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭57—6491

⑤ Int. Cl.³
G 11 C 11/34
G 01 R 31/26
G 11 C 29/00

識別記号

庁内整理番号
6549—5B
7359—2G
6974—5B

④ 公開 昭和57年(1982) 1月13日

発明の数 1
審査請求 未請求

(全 4 頁)

⑤ 半導体装置

① 特 願 昭55—81818

② 出 願 昭55(1980) 6月16日

⑦ 発 明 者 林和夫
伊丹市瑞原 4 丁目 1 番地三菱電
機株式会社北伊丹製作所内

⑦ 発 明 者 山田窓裕

伊丹市瑞原 4 丁目 1 番地三菱電
機株式会社北伊丹製作所内

① 出 願 人 三菱電機株式会社

東京都千代田区丸の内 2 丁目 2
番 3 号

④ 代 理 人 弁理士 葛野信一 外 1 名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

1 チップ内に読出し専用メモリを有する半導体装置において、アドレス指定部を制御して上記読出し専用メモリの内容を順次出力せしめるテスト制御部と、上記読出し専用メモリの出力データを順次入力され該入力をデータ圧縮するフィードバックループを持つシフトレジスタと、真のデータを上記フィードバックループを持つシフトレジスタでデータ圧縮した結果を固定的に記憶しているデータレジスタと、上記シフトレジスタの最終的な値と上記データレジスタの値とが一致するか否かを検出する一致検出回路とを備えたことを特徴とする半導体装置。

3. 発明の詳細な説明

この発明は読出し専用メモリ(以下ROMと称す)のコードテスト機構を内部に持つ半導体装置に関するものである。

従来 1 チップ内に ROM を含む半導体装置内部の ROM コードをテストするための構成として第 1 図に示すものがあつた。図において、(1)は 1 チップ内に ROM を含む大規模集積回路(以下LSIと称す)、(2)は ROM 部、(3)は ROM アドレス指定部、(4)は第 1 の入出力端子部、(5)は第 2 の入出力端子部、(6)はマルチプレクサ、(7)はデマルチプレクサ、(8)はこの LSI を本来の目的で使用する時の機能部である。

次に動作について説明する。この LSI が本来の目的で使われるときは、デマルチプレクサ(7)の入力には ROM アドレス指定部(3)が選択され、マルチプレクサ(6)の出力側にはこの LSI を本来の目的で使用する時の機能部(8)が選択される。第 1 の入出力端子部(4)および第 2 の入出力端子部(5)は半導体装置(1)の本来の入出力端子として用いられる。

ROM コードテスト時には、デマルチプレクサ(7)の入力には第 2 の入出力端子部(5)が選択され、外部から ROM 部(2)のアドレスが指定される。マ

マルチプレクサ(6)の出力には第1の入出力端子部(4)が選択され、ROM部(2)の出力コードが外部に送出され、アドレスに対応したROMコードと比較され、テストされる。

従来の1チップ内にROMを含む半導体装置は以上のように構成されているので、テストに要する入出力端子数(パッド数)が非常に多くなったり、また上記の機能を実現するため、入出力端子を時分割使用するという複雑な回路構成を必要としたり、さらには外部にROMコードを出力することになるので秘密を要するROMコードが分かってしまう等の欠点があった。

この発明は上記のような従来のものの欠点を除去するためになされたもので、1チップ内にROMを含む半導体装置内部にROMのコードテスト機構を設けることにより、ROMのコードテストを簡単に行なうことのできる半導体装置を提供することを目的としている。

以下、この発明の一実施例を図について説明する。第2図において、(1)は1チップ内にROMを

含むLSI、(2)はROM部、(3)はROMアドレス指定部、(6)はマルチプレクサ、(8)はこのLSIを本来の目的で使用する時の機能部、(9)はROMコードテスト部、00は並直列変換器、01は並直列変換器00の出力直列信号が順次入力され、該入力をデータ圧縮するフィードバックループを持つシフトレジスタ、02は真の最終処理データを固定的に記憶しているデータレジスタであり、真の最終処理データというのは全ROMコードが正しい場合にその真のデータをフィードバックループを持つシフトレジスタ01でデータ圧縮した後に得られるデータである。03は上記シフトレジスタ01の値とデータレジスタ02の値とが一致するか否かを検出する一致検出回路、04はアドレス指定部(3)を制御してROM部(2)の全出力を順次出力せしめるテスト制御部、05は入力端子、06は出力端子である。

次に動作について説明する。第2図において、入力端子05に信号を入力すると、ROMコードをテストするモードとなり、テスト制御部04が作動する。テスト制御部04はROMアドレス指定部(3)

を0番地から順次増加する。テストモードのときはマルチプレクサ(6)の出力は並直列変換器00が選択されるので、ROM部(2)の一語ずつの全並列出力はこの並直列変換器00によつて直列な信号に変換され、フィードバックループを持つシフトレジスタ01に入力され、データ圧縮される。このフィードバックループを持つシフトレジスタ01内の最終的なデータは、半導体装置内部に固定的に記憶されたデータレジスタ(8)の真の最終処理データと一致検出回路03によつて比較され、一致、不一致に対しあらかじめ決められた信号を出力端子06に送出し、ROMのコードの良否がテストできる。

フィードバックループを持つシフトレジスタ01の一実施例を第3図に示す。ここでは一実施例として16ビットのものを考えている。07は16ビットのシフトレジスタ、08は排他的論理和回路、09は4入力排他的論理和回路で、これは2つの2入力排他的論理和回路の出力をもう一度排他的論理和をとつたものである。04は入力部である。入力部04に入つたデータは、排他的論理和回路08,09

によりシフトレジスタ07の内容で修飾され、シフトレジスタ07の最下位ビットに入る。これにより、一定の長さ、この場合ROM部(2)の全出力データ長の直列データの1つのデータ例に対しては、シフトレジスタの値は一意に定まる。なぜなら相異なる2つのデータが同じシフトレジスタの値を持つ確率は $1/2^{16}$ 、即ち6万5千分の1程度であるからである。従つてこのシフトレジスタの最終データを真の最終処理データと比較することにより、上述のようにROMコードのテストができる。

なお、上記実施例ではROM部(2)のすべてのコードをテストしているが、ROM部(2)の内容の一部、すなわちROM語長、ROMビット単位の単独な、あるいはそれらを組み合わせたデータをテストしても良い。

また上記実施例ではROM出力を並直列変換しているが、一語単位の並列データのまま各ビット毎の直列データとしてそのビット数のフィードバックループをもつシフトレジスタに入力しても良い。

レジスタ、02…データレジスタ、03…一致検出回路。

代理人 葛野 信一

さらに上記実施例では入力端子05と出力端子04は独立のものであるが、このLSIを本来の目的で使用するときに割付けられている入出力端子と共用しても良い。

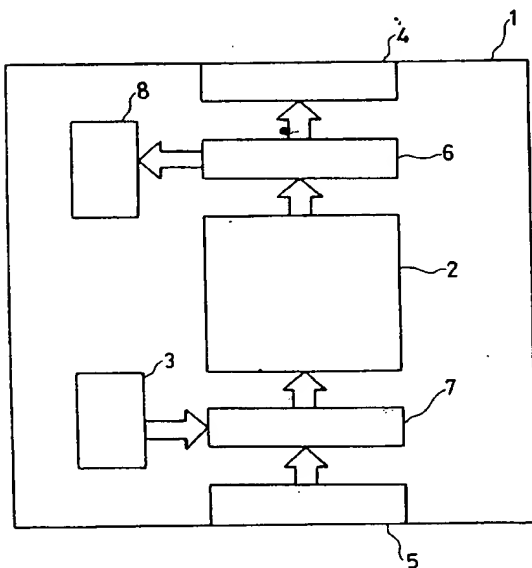
以上のように、この発明によれば、ROMのコードテストを半導体装置内部で行ない、良否の信号のみを検出するように構成したので、非常に少ない端子数(パッド数)で、あるいはこのLSIが本来の目的で持っている端子で、簡単な回路を接続するだけで、ROMコードテストを行なうことができ、しかもROMコードの秘密が保持できるという効果がある。

4. 図面の簡単な説明

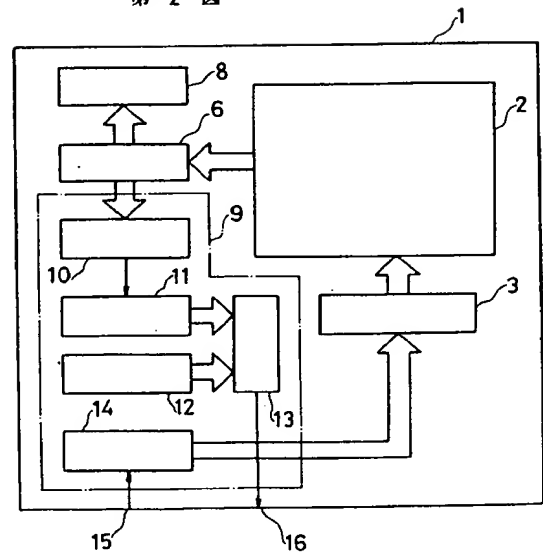
第1図は従来の1チップ内にROMを含む半導体装置のブロック図、第2図はこの発明の一実施例による半導体装置のブロック図、第3図は上記実施例に用いられるフィードバックループを持つシフトレジスタの回路図である。

(1)…半導体装置、(2)…ROM部、(3)…アドレス指定部、01…フィードバックループを持つシフト

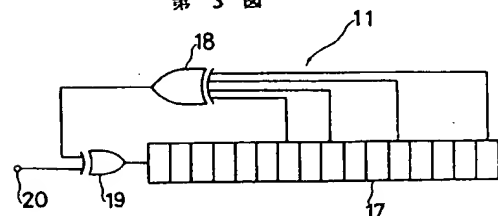
第1図



第2図



第3図



手続補正書(自発)

昭和55年10月29日

特許庁長官殿

適

1. 事件の表示 特願昭55-81818号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称(601) 三菱電機株式会社
代表者 ~~池田 貞和~~
片山 仁八郎

4. 代理人
住所 東京都千代田区丸の内二丁目2番3号
氏名(6699) 三菱電機株式会社内
弁理士 新井 信一

特許庁
昭和55.10.31
出願

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第2頁第7行、第13行、第2頁第20行ないし第3頁第1行、第4頁第2行および第5頁第2行の「マルチプレクサ」を「デマルチプレクサ」に訂正する。

(2) 同第2頁第7行、第11行および第18行の「デマルチプレクサ」を「マルチプレクサ」に訂正する。

(3) 同第5頁第9行の「データレジスタ(8)」を「データレジスタ02」に訂正する。